

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
16. Oktober 2003 (16.10.2003)

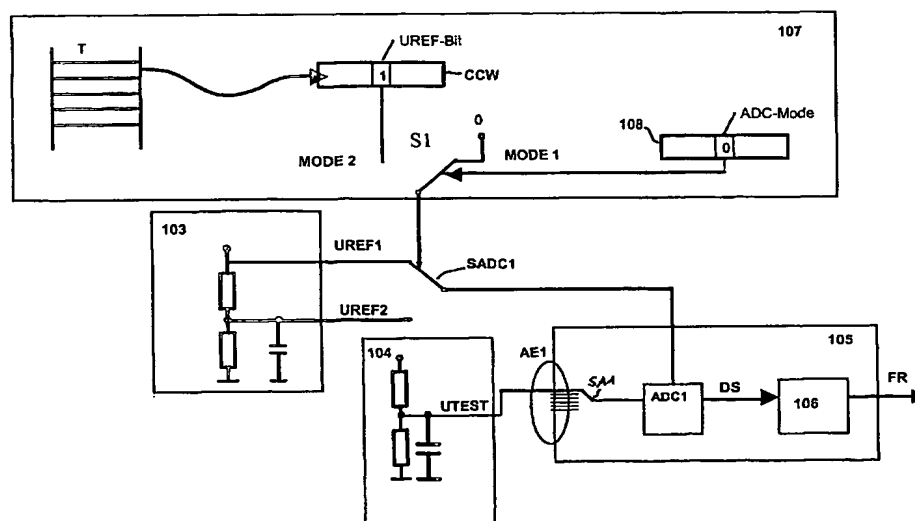
PCT

(10) Internationale Veröffentlichungsnummer
WO 03/085834 A1(51) Internationale Patentklassifikation⁷: **H03M 1/10**(21) Internationales Aktenzeichen: **PCT/DE03/01081**(22) Internationales Anmeldedatum:
2. April 2003 (02.04.2003)(25) Einreichungssprache: **Deutsch**(26) Veröffentlichungssprache: **Deutsch**(30) Angaben zur Priorität:
102 15 405.8 8. April 2002 (08.04.2002) **DE**(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02
20, 70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HAAG, Wolf-
gang** [DE/DE]; Graslitzer Weg 25, 71364 Winnenden
(DE). **STEINLE, Claus** [DE/DE]; Widmierstrasse 120,
70567 Stuttgart (DE). **KELLER, Stefan** [DE/DE];
Theodor-Heuss-Strasse 8, 71735 Eberdingen (DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR FUNCTIONALLY TESTING AN ANALOG-TO-DIGITAL CONVERTER, AND A
CORRESPONDING ANALOG-TO-DIGITAL CONVERTER(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR FUNKTIONSPRÜFUNG EINES ANALOG-DIGITAL-WAND-
LERS SOWIE ANALOG-DIGITAL-WANDLER

(57) Abstract: The invention relates to a method and device for functionally testing an analog-to-digital converter (ADC1), whereby the analog-to-digital converter carries out a function for converting at least one analog signal into at least one digital signal while using a first predetermined reference voltage (UREF1). The invention is characterized in that the analog-to-digital converter can alternatively carry out the function while using at least one additional, in particular, one predetermined second reference voltage. The analog-to-digital converter is disabled in order to prevent the analog-to-digital converter from using at least one additional, in particular, the second reference voltage (UREF2) whereby in order to conduct a functional testing, a predetermined analog signal is converted into a digital signal and this digital signal is then evaluated.

[Fortsetzung auf der nächsten Seite]



TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Verfahren und Vorrichtung zur Funktionsprüfung eines Analog-Digital-Wandlers, (ADC1) wobei der Analog-Digital-Wandler eine Funktion zur Wandlung wenigstens eines analogen Signals in wenigstens ein digitales Signal unter Verwendung einer ersten vorgegebenen Referenzspannung (UREF1) durchführt dadurch gekennzeichnet, dass der Analog-Digital-Wandler die Funktion alternativ unter Verwendung wenigstens einer weiteren, insbesondere einer vorgegebenen zweiten, Referenzspannung, durchführen kann, wobei der Analog-Digital-Wandler derart gesperrt wird, dass eine Verwendung wenigstens der weiteren, insbesondere der zweiten, Referenzspannung (UREF2) durch den Analog-Digital-Wandler verhindert wird, wobei zur Funktionsprüfung ein vorgegebenes analoges Signal in ein digitales Signal gewandelt wird und das digitale Signal ausgewertet wird.

Verfahren und Vorrichtung zur Funktionsprüfung eines Analog-Digital-Wandlers sowie Analog-Digital-Wandler

Stand der Technik

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Funktionsprüfung eines Analog-Digital-Wandlers sowie einen Analog-Digital-Wandler gemäß den Oberbegriffen der unabhängigen Ansprüche.

Analog-Digital-Wandler sind in vielfältiger Weise bekannt, wie beispielsweise aus „PC gesteuerte Messtechnik ...“ von Klaus Dembowski, Markt- und Technik Verlag 1993.

Ein Verfahren und eine Vorrichtung zur Funktionsprüfung eines Analog-Digital-Wandlers ist daneben aus der DE 195 13 081 A1 bekannt. Dabei wird eine eingestellte Testspannung vom Analog-Digital-Wandler gewandelt. Diese Testspannung wird durch einen Spannungsteiler erzeugt, welcher wie die Referenzspannung des Analog-Digital-Wandler von derselben internen Spannung versorgt wird. Dabei hat der Analog-Digital-Wandler genau eine vorgesehene Referenzspannung, wobei zur Erkennung einer fehlerhaften Referenzspannung der gewandelte Testspannungswert dahingehend geprüft wird, ob er einem bekannten Sollwert innerhalb eines zulässigen Toleranzbandes entspricht.

Aufgabe der Erfindung

Erfindungsgemäß möchte man nun für verschiedene Signale, beispielsweise in einem Steuergerät, insbesondere in einem Fahrzeug, gewisse Bereiche des Signals oder auch das ganze Signal mit höherer Auflösung wandeln. Dazu soll nicht nur eine feste

Referenzspannung für einen Analog-Digital-Wandler eingesetzt werden, sondern mehr als eine Referenzspannung. Erfindungsgemäß werden nun also Analog-Digital-Wandler derart ausgebildet oder konfiguriert, bzw. softwareunterstützt betrieben, dass die Verwendung wenigstens zweier Referenzspannungen für den Analog-Digital-Wandler möglich wird. Damit wird im Steuergerät nicht nur eine feste Referenzspannung, wie im Stand der Technik, sondern es werden wenigstens zwei unterschiedliche Referenzspannungen zur Verfügung gestellt.

Ebenso ist es erfindungsgemäß möglich, insbesondere per Software, jeder beliebigen Analog-Digital-Wandlung auf einem beliebigen Analog-Digital-Kanal eine dieser Referenzspannungen auszuwählen bzw. aufzuschalten. Mit diesen erfindungsgemäß neuen Funktionalitäten sind nun auch Fehlerbilder möglich, die in den bisherigen Rechnergenerationen nicht auftreten konnten, die jedoch im Sinne der Sicherheit beherrscht werden müssen, da eine fehlerhafte interne Referenzspannung bei einem Analog-Digital-Wandler zu einem falschen Wandelergebnis führt, was bei sicherheitskritischen Signalen, wie beispielsweise Signale des Fahrpedalmoduls in einem Fahrzeug erhebliche Folgen, wie beispielsweise im konkreten Beispiel eine fehlerhafte Beschleunigung, nach sich ziehen würden.

Weitere Beispiele und eine weitere Konkretisierung hierzu folgen in der Beschreibung der Ausführungsbeispiele.

Festzuhalten ist, dass mit dem bisherigen Analog-Digital-Wandler Testverfahren, also der bisherigen Funktionsprüfung Fehler, die zu einer ungewollten Umschaltung und damit zu einer falschen Referenzspannung führen, nicht erkannt werden können.

Es ist daher Aufgabe der Erfindung, neben der Ermöglichung der Wandlung eines Signals unter Zuhilfenahme mehrerer Referenzen gleichzeitig die dabei möglichen Fehler sicher zu erkennen und eine entsprechende Fehlerreaktion einzuleiten bzw. auszuführen.

Vorteile der Erfindung

Die Erfindung geht aus von einem Verfahren und einer Vorrichtung zur Funktionsprüfung eines Analog-Digital-Wandlers ADC, wobei der Analog-Digital-Wandler ADC eine Funktion zur Wandlung wenigstens eines analogen Signals in

wenigstens ein digitales Signal unter Verwendung einer ersten vorgegebenen Referenzspannung durchführt, sowie einem entsprechenden Analog-Digital-Wandler.

Vorteilhafter Weise ist der Analog-Digital-Wandler derart ausgestaltet, dass die Funktion des Wandeln alternativ unter Verwendung wenigstens einer weiteren, insbesondere einer vorgegebenen zweiten Referenzspannung durchgeführt werden kann, wobei zur Funktionsprüfung der Analog-Digital-Wandler derart gesperrt wird, dass eine Verwendung wenigstens der weiteren, insbesondere der zweiten Referenzspannung durch den Analog-Digital-Wandler verhindert wird und zweckmäßiger Weise zur Funktionsprüfung ein vorgegebenes analoges Signal in ein digitales Signal gewandelt wird, wobei dieses digitale Signal ausgewertet wird.

Dabei wird vorteilhafter Weise ein analoges Signal unter Verwendung der ersten Referenzspannung gewandelt und zur Funktionsprüfung das unter Verwendung der ersten Referenzspannung gewandelte digitale Signal mit einem unter Verwendung der ersten Referenzspannung erwarteten vorgegebenen Signal ausgewertet (Normalprüfung).

In einer vorteilhaften Ausgestaltung wird das analoge Signal unter Verwendung der ersten Referenzspannung zwar gewandelt, aber zur Funktionsprüfung das unter Verwendung der ersten Referenzspannung gewandelte digitale Signal mit einem unter Verwendung der zweiten Referenzspannung erwarteten vorgegebenen Signal ausgewertet (Kreuzprüfung).

Dabei kann nun vorteilhafter Weise zum einen das aus dem analogen Signal gewandelte digitale Signal mit dem entsprechenden erwarteten Signal verglichen werden oder aus dem digitalen Signal kann die verwendete Referenzspannung ermittelt werden und diese wird dann mit einer erwarteten vorgegebenen Referenzspannung verglichen.

Abhängig von dem Vergleich einerseits der ermittelten Referenzspannung mit der wenigstens einen vorgegebenen Referenzspannung oder auch abhängig von dem Vergleich des aus dem vorgegebenen analogen Signal gewandelten digitalen Signals mit dem wenigstens einen erwarteten Signal kann dann auf Fehler erkannt werden und eine vorgegebene Fehlerreaktion eingeleitet werden.

Dabei kann die Fehlerreaktion zweckmäßiger Weise einmal dann erfolgen, wenn bei dem Vergleich keine Übereinstimmung innerhalb einer vorgebbaren Toleranz erzielt wird oder zum Anderen wenn bei dem Vergleich Übereinstimmung innerhalb einer vorgebbaren Toleranz erzielt wird.

In einer vorteilhaften Ausgestaltung wird das wenigstens eine erste analoge Signal als eine erste Gruppe von ersten Signalen gewandelt und ein wenigstens zweites analoges Signal als eine zweite Gruppe von zweiten Signalen gewandelt, wobei dem ersten Signal nur jeweils genau eine Referenzspannung zur Wandlung zugeordnet ist.

Zweckmäßiger Weise können dann diese beiden Gruppen zwei Analog-Digital-Wandler-Bänken bzw. einem ersten Analog-Digital-Wandler und einem zweiten Analog-Digital-Wandler jeweils eindeutig zugeteilt werden. Dadurch kann vorteilhafter Weise nur derjenige Analog-Digital-Wandler der Funktionsprüfung durch Sperrung unterzogen werden, bei dem dieses wenigstens eine analoge Signal jeweils mit nur einer Referenzspannung gewandelt werden soll.

Zweckmäßiger Weise wird die Funktionsprüfung an einem vorgegebenen analogen Testsignal durchgeführt, wobei in einer besonderen Ausgestaltung die Funktionsprüfung ausschließlich an dem vorgegebenen analogen Testsignal durchgeführt wird.

In einer zweckmäßigen Ausgestaltung, kann ein Analog-Digital-Wandler gemäß den vorgenannten Vorteilen in zwei Modi betrieben werden, wobei ein erster Modus oder Mode die Verwendung verschiedener Referenzspannung zur Wandlung gestattet und ein zweiter Modus oder Mode nur eine Referenzspannung zur Wandlung zulässt.

Vorteilhafter Weise erfolgt eine insbesondere softwaremäßige Zuordnung von Referenzspannungen durch wenigstens zwei Werte für verschiedene Referenzspannungen, die in einer Tabelle in einem Speicher abgelegt sind, wobei durch Auswahl eines Wertes eine Referenzspannung zur Verwendung bei der Wandlung vorgegeben wird.

Zweckmäßiger Weise kann dann die Funktionsprüfung, insbesondere durch das Separieren erster und zweiter Gruppen von Signalen nur für die erste Gruppe durchgeführt werden.

Damit kann vorteilhafter Weise eine fehlerhafte Konfiguration, insbesondere Modi-Einstellung des Analog-Digital-Wandlers erkannt werden. Das bedeutet, dass ein gesperrter Analog-Digital-Wandler weiterhin die Eigenschaft besitzt, alternative Referenzen zu benutzen, anstatt sie nicht zu benutzen, die Sperrung also nicht funktioniert.

Weiterhin müssen vorteilhafter Weise über die Absicherung des Analog-Digital-Wandler-Modes nicht alle Analog-Digital-Kanäle einzeln auf eine falsche Referenzspannung hin geprüft werden. Es genügt die Eigenschaft des Modes, der insbesondere hardwarebedingt auf alle Analog-Digital-Kanäle eines Analog-Digital-Wandlers bzw. einer Analog-Digital-Wandler-Bank gleichermaßen wirkt, exemplarisch an einem Kanal, insbesondere am Testspannungskanal zu prüfen.

Durch die erfindungsgemäße Erkennung einer falschen Modi-Einstellung im neuen Verfahren, welche eine Referenzumschaltung auf sicherheitsrelevanten Analog-Digital-Kanälen zulassen würde, wird die Nutzung einer zusätzlichen Referenzspannung aus sicherheitstechnischer Sicht zulässig. Mit der Nutzung der zusätzlichen Referenzspannung bzw. Referenz erreicht man eine erhebliche Reduzierung der Stoffkosten, da beispielsweise bisher in der Hardware diskret aufgebaute Schaltungsteile, wie zum Beispiel ein 4-fach-Verstärker, eines Istwert-Potentiometers durch Software bzw. durch Wandlung mit einer $\frac{1}{4}$ -Referenz ersetzt werden kann.

Das Verfahren ist prinzipiell realisierbar ohne zusätzlichen Hardwareaufwand, insbesondere im Vergleich zum bisherigen Testspannungsverfahren, wie im Stand der Technik beschrieben.

Vorteilhafter Weise ist das Verfahren auch mit sehr geringem Software-Aufwand realisierbar.

Daneben ergibt sich eine eindeutige Diagnose, d.h. eine Fehlerzuordnung zum Analog-Digital-Wandler, welche komponentenunabhängig ist.

D.h. es erfolgt die Erkennung einer falschen Referenz bzw. eines falschen Analog-Digital-Wandler-Modes anhand einer tatsächlichen Analog-Digital-Wandlung,

insbesondere einer Testspannung. Dies ist überwachungstechnisch sicherer, d.h. es müssen keine zusätzlichen Informationen aus den Mode-oder Konfigurationsregistern zur Auswertung verwendet werden, denn diese könnten zwar richtig ausgelesen werden, ob der defekte Analog-Digital-Wandler diese jedoch intern falsch weiterverarbeitet, kann daran nicht erkannt werden.

Vorteilhafter Weise werden weiterhin die bisherigen Fehlererkennungsmechanismen abgedeckt, das Verfahren ist somit eine Erweiterung zum Testspannungsverfahren, da zum Beispiel Analog-Digital-Wandler Steigungs- und Offsetfehler oder hängende Bitstellen im Analog-Digital-Wandlerergebnis durch die Abweichung vom Sollwert insbesondere der Testspannung erkannt werden können.

Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus der Beschreibung sowie den Merkmalen der Ansprüche.

Zeichnung

Die Erfindung wird im weiteren anhand der in der Zeichnung dargestellten Figuren näher erläutert.

Dabei zeigt

Figur 1 einen Ausschnitt aus einem Steuergerät, welcher erfindungswesentliche Teile zeigt.

Figur 2 offenbart das erfindungsgemäße Verfahren anhand einer Vorrichtung in Blockschaltdarstellung.

In Figur 3 ist noch einmal kurz das erfindungsgemäße Verfahren anhand eines Flussdiagramms erläutert.

Beschreibung der Ausführungsbeispiele

Die erfindungsgemäßen Rechnergenerationen, wie hier die Recheneinheit 100, haben nicht nur eine feste Referenzspannung UREF, wie beispielsweise 5 V, sondern besitzen

zwei oder evtl. mehrere unterschiedliche Referenzspannung UREF1 und UREF2, usw. zur Verwendung im Rahmen der Analog-Digital-Wandlung. Erfindungsgemäß ist dabei auch die Möglichkeit gegeben, per Software jeder beliebigen Analog-Digital-Wandlung auf beliebigem Analog-Digital-Kanal eine dieser Referenzspannungen auszuwählen bzw. aufzuschalten.

Dabei entstehen nun neuartige Fehlerbilder, die in den bisherigen Rechnergenerationen nicht auftreten konnten, die jedoch im Sinne der Sicherheit beherrscht werden müssen, da eine fehlerhafte interne Referenzspannung bei einem A/D-Wandler zu einem falschen Wandlerergebnis führt.

D.h. als Ausgangspunkt, dass es für verschiedene Signale im Steuergerät vorteilhaft ist, gewisse Bereiche des Signals mit höherer Auflösung zu wandeln. Ein Beispiel hierfür ist das Drosselklappensignal im Leerlaufbereich eines Fahrzeugs, das dort heute mehrfach elektrisch verstärkt noch einmal eingelesen wird oder der Motortemperaturfühler, um eine höhere Auflösung, beispielsweise bei 100 Grad zu erreichen. Dabei ergibt sich das genannte kritische Fehlerbild aus Sicht der Überwachung, dass das Vorhandensein der Wandlung mit unterschiedlichen Referenzspannungen bei anderen Signalen, wie z.B. den Informationen aus dem Fahrpedalmodul, dazu führen könnte, dass beispielsweise beide Kanäle des Fahrpedalmoduls verstärkt eingelesen würden, womit beispielsweise das Fahrzeug selbst beschleunigt würde.

Verursacht ein Fehler die Wandlung mit einer falschen Referenz auf mehreren Kanälen wie z.B. SP1S und SP2S in Figur 1, so ist das Wandelergebnis auf jedem dieser Kanäle um denselben Verstärkungsfaktor falsch. Die bisherige Überwachungsfunktionen zur Absicherung dieser Signale beruhen auf der Plausibilisierung zweier Signale. Diese können dann solche genannten Fehler nicht detektieren, da das Verhältnis zueinander gleich bleibt, der Wert jedoch falsch ist.

Eine solche fehlerhafte Referenzspannung oder kürzer Referenz, kann durch Kurzschlüsse auf der Leiterplatte im Steuergerät, Hochohmigkeiten am PIN des IC's, also des integrierten Schaltkreises wie durch kalte Lötstelle oder Bonden, durch einen Speicherfehler, die zu einer falschen Analog-Digital-Wandlerkonfiguration führen oder auch durch interne Defekte in integrierten Schaltungen auf dem Rechner bzw. dem

Analog-Digital-Wandler-Siliziumchip entstehen. Ebenso kann einfach ein falscher der verwendbaren Referenzwerte oder eine falsche Referenzspannung eingesetzt sein.

Da in den Fahrzeug-Steuergeräten, insbesondere in Motorsteuergeräten im Fahrzeug sicherheitsrelevante Signale wie beispielsweise der Fahrerwunsch durch das Fahrpedal vom Analog-Digital-Wandler gewandelt werden und diese Werte dem Steuergerät unmittelbar ein entsprechendes Motormoment im Motor des Kraftfahrzeugs einstellen, müssen solche Fehler sicher erkannt werden können. Dies gilt besonders für zu hohe Werte, da diese zu einer Selbstbeschleunigung, einem nicht beherrschbaren Fahrzustand oder einer Gefährdung von Personen führen könnte. Dies gilt ebenso für sicherheitskritische Situation in anderen Anwendungen, wie z.B. der Automatisierung oder im Werkzeugmaschinenbereich, usw.

Mit den bisherigen Analog-Digital-Wandler-Testverfahren können Fehler, die zu einer ungewollten Umschaltung und damit zu einer falschen Referenz führen, nicht erkannt werden. Die vorliegende Erfindung erfüllt somit die oben genannte Aufgabe, diese Fehler sicher zu erkennen und damit entsprechende Fehlerreaktionen auszuführen. Eine solche Fehlerreaktion ist beispielsweise eine gezielte Leistungsreduzierung im Falle der Motorsteuerung.

Dazu zeigt Figur 1 erfindungswesentliche Teile aus einem Steuergerät SG. Darin ist mit 100 eine Recheneinheit oder Steuereinheit, insbesondere ein Prozessor oder Mikrocomputer gezeigt. Dieser enthält mit 101 bzw. 102 integrierte Schaltkreise, die ihrerseits Analog-Digital-Wandler ADC1 bzw. ADC2 enthalten. Daneben sind Umschaltvorrichtungen SADC2 sowie SADC1 zur Umschaltung zwischen zwei Referenzspannungen UREF1 und UREF2 dargestellt. Verschiedene Analogeingangs(kanal)gruppen AE2 bzw. AE1 sind durch die dargestellten Schalter für die Analogsignale SA1 bzw. SA2 umschaltbar.

Die Referenzspannungen UREF1 bzw. UREF2 werden aus einem Referenzspannungsgenerator entnommen, der mit 103 dargestellt ist. Darin ist eine Basisversorgungsspannung UVDD1 gezeigt, welche in diesem Beispiel UREF1 entspricht. Über einen Spannungsteiler mit den Widerständen R1 bzw. R2 sowie einer angekoppelten Kapazität C1 kann dann eine Spannung U1 bzw. UREF2 ebenfalls dem Block 103 entnommen werden. Neben dem dargestellten Beispiel im Block 103 mittels

Spannungsteilung ist jede andere Möglichkeit zur Erzeugung der Referenzspannung, wie beispielsweise unterschiedliche Spannungsquellen oder einen tatsächlichen Referenzspannungsgenerator usw. erfindungsgemäß denkbar zur Erzeugung wenigstens zweier Referenzspannungen.

Gleiches gilt für die Erzeugung der Testspannung UTEST im Block 104. Darin ist eine Versorgungsspannung UVDD2 gezeigt, die gleich oder ungleich zu UVDD1 sein kann. Auch hier wird mittels Spannungsteilung eine Spannung U2, die hier der Testspannung UTEST entspricht, erzielt. Mit C2 ist eine Kapazität dargestellt. Auch hier kann die Testspannung UTEST auf beliebige Arten erzeugt werden, beispielhaft durch Spannungsteilung, aber wie oben auch genannt, sind andere Möglichkeiten gegeben.

Eine fehlerhafte interne Referenzspannung führt bei einem Analog-Digital-Wandler ADC zu einem falschen Wandelergebnis, obwohl am Analog-Digital-Kanal physikalisch eine unveränderte Spannung anliegt. Der Analog-Digital-Wandler ADC wandelt die Analogspannung immer relativ (ratiometrisch) zu seiner Referenzspannung. Ist die Referenzspannung, wie in der gewünschten Anwendung bei dem vorgenannten Steuergerät SG zum Beispiel um den Faktor 4 zu klein, so ist das Wandelergebnis um den Faktor 4 zu groß.

Das hier dargestellte Steuergerät SG ist beispielsweise ein Motorsteuergerät in einem Kraftfahrzeug oder auch ein anderweitiges Steuergerät in einem Fahrzeug bzw. ebenso im Werkzeugmaschinenbereich oder der Automatisierung denkbar. Darin eingesetzt ist ein Mikrocontroller 100 mit in diesem Beispiel zwei Referenzspannungseingängen (UREF1 und UREF2). Am Standardreferenzspannungseingang liegt beispielsweise eine Spannung von 5 V, hier UREF1. Am zweiten alternativen Referenzspannungseingang UREF2 liegt die über einen Spannungsteiler erzeugte alternative Referenzspannung von beispielsweise 1,2 V. Für andere Anwendungen sind auch andere Spannungswerte denkbar. Damit ergibt sich eine beispielhafte Dimensionierung der Bausteine im Spannungsteiler im Block 103 von R1 mit 31,6 k Ω , R2 mit 10 k Ω und C1 mit 100 nF (Für UREF1 von 5V und UREF2 von 1,2V).

Der Mikrocontroller 100 hat zwei Analog-Digital-Wandler-Bänke bzw. Analog-Digital-Wandler ADC1 bzw. ADC2 beispielsweise mit je 16 Analog-Digital-Kanälen auf dem Rechnerchip. Die Analogeingänge bzw. die Analogkanäle sind mit AE2 für ADC2

bezeichnet und beispielhaft ist darin einer mit IP1F bezeichnet. Diese sind über den Schalter SA2 umschaltbar. Die Analogeingänge AE1 oder Analog-Digital-Kanäle AE1 umfassen die Kanäle UTEST, IP2S, SP1S, SP2S, HFM und DSS, usw. Dies sind beispielsweise Sensorsignale vom Heißfilmluftmassenmesser HFM oder auch Drehzahlsignale wie DSS sowie von weiterer Sensorik oder auch weiteren Steuergeräten oder Teilnehmern im Rahmen eines Steuergeräteverbundes. Die Funktionsprüfung kann mit wenigstens einem von diesen Signalen, insbesondere dem Testsignal durchgeführt werden.

Das Testsignal mit dem beispielsweise, wie nachher noch beschrieben, die Funktionsprüfung durchgeführt werden kann, wird im Block 104 generiert, beispielsweise auch hier über einen Spannungsteiler mit R3, R4 aus einer Spannung UVDD2. Auch hier wird beispielhaft eine Dimensionierung gewählt, mit $R3 = 3,83 \text{ k}\Omega$ und $R4 = 10 \text{ k}\Omega$ sowie $C2 = 22 \text{ nF}$, was zu einer Testspannung UTEST von 3,6 V führt.

Das eigentliche Testverfahren bzw. die Funktionsprüfung und die Modeeinstellungen werden nun in Figur 2 beschrieben. Dabei stehen im Block 107 zwei Modi, also zwei Modeeinstellungen zur Verfügung, MODE1 und MODE2, welche jeweils die Eigenschaft der Analog-Digital-Wandler bezüglich der Referenzspannung für eine komplette Bank, also beispielsweise für 16 Analog-Digital-Kanäle bestimmen. Dabei bedeutet der MODE1, dass alle Analog-Digital-Kanäle der Bank für Analog-Digital-Wandlungen mit UREF2 gesperrt sind. Der MODE2 bedeutet, dass alle Analog-Digital-Kanäle der Bank Analog-Digital-Wandlungen mit UREF1 oder mit UREF2 durchführen können. Hier dargestellt, kann für jede Analog-Digital-Wandlung per Software im Betrieb im MODE2 zwischen den hier zwei Referenzen UREF1 und UREF2 ausgewählt werden. Dazu werden alle Analog-Digital-Wandlungen, die ausgeführt werden sollen, in einer Tabelle T, insbesondere einer Tabelle in einem Speicher, einer Speichertabelle T, definiert. Wobei sich der Speicher ebenfalls im Steuergerät insbesondere auf dem Mikrocontroller 100 befindet.

Hier kann durch Setzen einer bestimmten Bit-Position beispielsweise in einem Register CCW die gewünschte Referenzspannung gewählt werden, die dann bei dieser Wandlung verwendet wird. Die in diesem Beispiel verwendete Bit-Position ist das UREF-BIT, das hier in diesem Beispiel, da nur zwei Referenzspannungen verwendet werden, ausreicht. Bei Einsatz mehrerer Referenzspannung sind entsprechend mehrere Bits zu wählen. Die

Modenumschaltung erfolgt beispielsweise heraus aus einem Register 108, bei welchem ein bestimmtes Bit, hier das ADC-Mode-Bit gesetzt oder nicht gesetzt ist und demnach der MODE1 oder der MODE2 gewählt wird. Auch hier beim Wählen mehrerer Modi über zwei hinausgehend müssten mehr Bits als das eine Bit zur Modiumscheidung gewählt werden. So können bestimmten Modis unterschiedliche Referenzspannungen, die zur Wandlung eingesetzt werden können, zugeordnet sein.

Mit Block 103 ist wiederum der aus Figur 1 bekannte Referenzspannungsgenerator dargestellt. Gleiches gilt für den Testspannungsgenerator in Block 104.

Die Modewahl wird symbolisch durch den Schalter S1 repräsentiert, durch welchen dann Einfluss auf den Schalter SADC1 zur Auswahl der entsprechenden Referenz erfolgt. Mit AE1 sind wieder die Analogeingänge der Analog-Digital-Kanäle hier für die Analog-Digital-Bank bzw. den Analog-Digital-Wandler ADC1 dargestellt. Dieser gibt ein digitales Signal DS aus, dass dann in dem Block 106 ausgewertet werden kann, woraus sich dann eine Fehlerreaktion FR ergibt. Dies ist zusammenfassend im Block 105 dargestellt. Die Blöcke 107, 103, 104 und 105 sind Teil des Steuergerätes SG, insbesondere sind die Blöcke 107 und 105 in einer vorteilhaften Ausgestaltung Teil des Mikrocontrollers 100.

Figur 3 zeigt nun unter Bezugnahme auf die Figuren 1 und 2 einen möglichen erfindungsgemäßen Verfahrensablauf.

Das Verfahren besteht aus einer hardwaremäßigen Auslegungsvorschrift, die erfüllt werden sollte und einer darauf abgestimmten Konfiguration des Analog-Digital-Wandlers und entsprechendem Softwareablauf.

Die Hardwareauslegungsvorschrift beinhaltet zunächst eine Kanalfestlegung. Hier werden alle sicherheitsrelevanten Signale, die von einer falschen Referenzspannung geschützt werden sollen, auf einen Analog-Digital-Wandler bzw. auf eine Analog-Digital-Wandler-Bank (ADC-Bank) gelegt, wie beispielsweise SP1S, SP2S, IP2S, HFM und DSS auf die ADC-Bank ADC1. Die Testspannung UTEST, mit der die richtige Modeeinstellung für diese Bank geprüft werden kann, muss dann auch an dieser ADC-Bank anliegen. Alle Signale, die die alternative Referenz funktional verwenden sollen, werden dann auf wenigstens eine andere ADC-Bank gelegt. Im vorliegenden

Anwendungsfall entspricht dies einer ADC-Bank mit 16 Analog-Digital-Kanälen. Bei anderen Rechnern bzw. Analog-Digital-Wandlern kann dies auch einer bestimmten ADC-Kanalgruppe, auf der doch eine feste Vorgabe keine ADC-Wandlung mit alternativer Referenz möglich sind, sein. D.h. neben einer Bankeinteilung kann auch eine reine Einteilung in eine Gruppe erster Signale und eine Gruppe zweiter Signale usw. erfolgen.

Die Konfiguration und der Softwareablauf entstehend gemäß Figur 2 in Block 301. Darin wird zum einen die Analog-Digital-Wandler-Eigenschaften der ADC-Bänke bzw. der Signalgruppen festgelegt. Dies erfolgt typischerweise einmal im Systemhochlauf, also bei der Initialisierung und gilt dann für den gesamten Zyklus, insbesondere Fahrzyklus. Beispielsweise wird hier die Konfiguration ADC-Wandler 1 im MODE1, also Wandlung mit alternativer Referenz gesperrt und der ADC-Wandler ADC2 im MODE2, also Wandlung mit alternativer Referenz erlaubt, betrieben.

Danach erfolgt in Block 302 die Wandlung beispielsweise der Testspannung als Repräsentant der AE1-Gruppe mit Vorgabe alternativer Referenzspannung. D.h. bei korrekter Mode-Einstellung ist die Wandlung mit der alternativen Referenz nicht wirksam, sondern wird mit der Standardreferenz gewandelt. Die Vorgabe dient jedoch als Kontrollmechanismus, um einen fehlerhaft wirksamen Mode zu erkennen.

Danach erfolgt in Block 303 die Prüfung der Testspannung, also des aus der analogen Testspannung gewandelten digitalen Wertes, insbesondere unter Hinzunahme eines Toleranzbandes von $UMIN < UTEST < UMAX$. Dieser Test kann nun dahingehend erfolgen, dass wie bereits in den Vorteilen beschrieben, das analoge Signal insbesondere die Testspannung UTEST unter Verwendung der ersten Referenzspannung UREF1 gewandelt wird und zur Funktionsprüfung, das unter Verwendung der ersten Referenzspannung gewandelte digitale Signal DS mit einem unter Verwendung der ersten Referenzspannung UREF1 erwarteten vorgegebenen Signal DSREF1 ausgewertet wird entsprechend einer Normalprüfung oder eines Normalvergleichs.

Andererseits kann nun auch ein analoges Signal unter Verwendung der ersten Referenzspannung UREF1 gewandelt werden also insbesondere die Testspannung UTEST wobei zur Funktionsprüfung das unter Verwendung der ersten Referenzspannung UREF1 gewandelte digitale Signal DS mit einem unter Verwendung der zweiten

Referenzspannung UREF2 erwarteten vorgegebenen Signal DSREF2 ausgewertet wird also eine Kreuzprüfung bzw. ein Kreuzvergleich.

Fehlerreaktionen können nun in beiden Fällen der Normal- sowie der Kreuzprüfung dahingehend abgeleitet werden, dass die Identität bei dem Vergleich im Rahmen des Toleranzbandes eine Fehlerreaktion auslöst oder die Ungleichheit im Rahmen des Vergleichs eine Fehlerreaktion auslöst.

Eine Fehlerreaktion ist also je nach Anwendung z.B. dann auszulösen wenn

- DSREF1 ungleich DS mit UREF1
- DSREF2 gleich DS mit UREF1, usw.

wobei DS insbesondere innerhalb des besagten Toleranzbandes liegen dürfte, welches sich bei digitalen Signalen als $DS_{MIN} < DS \text{ mit UREF1} < DS_{MAX}$ und im wesentlichen aus Toleranzen im analogen Signal UTEST ergibt.

Bei Ungleichheit erfolgt dann bei Werten insbesondere außerhalb des Toleranzbandes eine entsprechende Fehlerreaktion. Bei Anwendung des Gleichheitskriteriums erfolgt also eine Fehlerreaktion bei Werten insbesondere innerhalb des Toleranzbandes. Die gewünschte Genauigkeit kann durch Vorgabe einer Toleranz erfolgen die im Extremfall auch mit Null angegeben werden kann.

Als Fehlerreaktion in Block 304 sind dabei insbesondere eine Leistungsreduzierung im Rahmen der Motorsteuerung, das Starten bestimmter Notlaufprogramme insbesondere mit fest eingestellten Bedingungen oder auch Abschalten bestimmter Funktionen, u. s. w. denkbar. Dabei kann die Fehlerreaktion abhängig vom gewandelten digitalen Signal oder der daraus rückgerechneten Referenzspannung erfolgen, wie z.B. abhängig von der Höhe der Abweichung vom erwarteten Wert unterschiedlich. Von schwachen Maßnahmen bei geringer Abweichung bis Funktionsabschaltung und Notlauf bei höheren Abweichungen. Dazu können dann neben dem Toleranzband weitere Schwellwertbereiche für verschiedene Fehlerreaktionen festgelegt werden.

Dabei kann die Überprüfung anhand eines Vergleichs der Digitalen aus den analogen Werten gewandelten Signale mit einem Ziel- bzw. Sollwert erfolgen oder durch Vergleich der Referenzspannungswerte bei einem Rückrechnen der Referenzspannung aus dem gewandelten digitalen Signal DS.

Die Konfiguration des Modes ist mit dem Schalter S1 dargestellt in Figur 2. Mit diesem Schalter kann also zwischen den beiden Moden Mode 1 und Mode 2 gewählt werden. In Mode 1 sind nur Wandlungen mit der Standardreferenz z. B. 5 Volt UREF1 möglich. In Mode 2 kann jede beliebige AD-Wandlung entsprechend der Definition in der Tabelle T hier wählbar durch das UREFBIT im Register CCW eine Referenzspannung auswählen. Dies ist dann mit dem Schalter SADC1 dargestellt.

Da die Referenzen beliebigen Analog-Digital-Wandlungen zuordenbar sind, hat eine Prüfung der Referenz auf dem Testspannungskanal normalerweise keine Aussagekraft über den Zustand bzw. die Referenz eines anderen Kanals. Eine Plausibilisierung aller Signale auf korrekter Referenz ist mit hohem Aufwand verbunden oder ist nicht realisierbar. Deshalb wird in dem dargestellten Verfahren erfindungsgemäß die Möglichkeit verwendet bestimmte Kanalgruppen durch eine bestimmte Modeeinstellung von der Fähigkeit der Wandlung mit einer alternativen Referenz zu sperren. Dabei kann durch geeignete Wahl erzielt werden, dass ganze Kanalgruppen insgesamt an einen eingestellten Mode gebunden werden, insbesondere durch die Rechenhardware. Wird nun der Modenzustand beispielhaft an einem Kanal insbesondere dem Testkanal UTEST geprüft, kennt man damit die Kanaleigenschaft der gesamten Kanalgruppe AE1. Dabei können mehrere Kanalgruppen vorgesehen sein, die jeweils nur mit einer Referenz zu wandeln sind. Dann sollte pro Kanalgruppe ein Testkanal mit entsprechender Referenz vorgesehen sein. Dabei ist aus eine interne, insbesondere softwaremäßige Umschaltung zwischen Testkanälen und den zugehörigen Referenzen denkbar.

Dabei wird der Modenzustand nicht durch Auslesen des ADC-Modes selbst geprüft (Register 108) sondern eine tatsächliche Analog-Digital-Wandlung insbesondere mit Hilfe der Testspannung dazu verwendet. Die Aussage über den Modenzustand ist in dem Wandelergebnis dann bereits enthalten, da die Analog-Digital-Wandlung mit der Einstellung für Wandlung mit Alternativreferenz also dem UREFBIT = 1 durchgeführt wird. Die Analog-Digital-Wandlung kann bei richtiger Modeeinstellung MODE1 trotz einem UREFBIT = 1 keine Wandlung mit Alternativreferenz UREF2, sondern nur mit der Standardreferenz UREF1 von beispielsweise 5 Volt durchführen. Das Ergebnis ist dann richtig und entspricht dem erwarteten Testspannungswert. Wäre die Modeeinstellung fehlerhaft oder würde der ADC eine Analog-Digital-Wandlung mit einer falschen Referenz, insbesondere UREF2, durchführen wäre das Ergebnis falsch und

sofort am gewandelten Testspannungswert erkennbar. Gleiches gilt für eine fehlerhaft veränderte Referenz wie eingangs erwähnt, die nicht der Alterbnativreferenz entspricht.

Das hier dargestellte Ausführungsbeispiel soll die erfindungsgemäßen Möglichkeiten nicht begrenzen, sondern einige Aufzeigen. Das erfindungsgemäße Verfahren und die Vorrichtung sowie der Analog-Digital-Wandler erstreckt sich auf alle hierbei denkbaren Möglichkeiten, insbesondere bezüglich Gleichheits- und Ungleichheitstest bei Kreuz- und Normalprüfung oder insbesondere dem Einsatz verschiedener Kanäle und Kanalgruppen mit erlaubten ein oder mehr Referenzen, usw.

Ansprüche

1. Verfahren zur Funktionsprüfung eines Analog-Digital-Wandlers, wobei der Analog-Digital-Wandler eine Funktion zur Wandlung wenigstens eines analogen Signals in wenigstens ein digitales Signal unter Verwendung einer ersten vorgegebenen Referenzspannung durchführt dadurch gekennzeichnet, dass der Analog-Digital-Wandler die Funktion alternativ unter Verwendung wenigstens einer weiteren, insbesondere einer vorgegebenen zweiten, Referenzspannung, durchführen kann, wobei der Analog-Digital-Wandler derart gesperrt wird, dass eine Verwendung wenigstens der weiteren, insbesondere der zweiten, Referenzspannung durch den Analog-Digital-Wandler verhindert wird, wobei zur Funktionsprüfung ein vorgegebenes analoges Signal in ein digitales Signal gewandelt wird und das digitale Signal ausgewertet wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass ein analoges Signal unter Verwendung der ersten Referenzspannung gewandelt wird und zur Funktionsprüfung das unter Verwendung der ersten Referenzspannung gewandelte digitale Signal mit einem unter Verwendung der ersten Referenzspannung erwarteten, vorgegebenen Signal ausgewertet wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass ein analoges Signal unter Verwendung der ersten Referenzspannung gewandelt wird und zur Funktionsprüfung das unter Verwendung der ersten Referenzspannung gewandelte digitale Signal mit einem unter Verwendung der zweiten Referenzspannung erwarteten, vorgegebenen Signal ausgewertet wird.
4. Verfahren nach Anspruch 1 oder 2 oder 3, dadurch gekennzeichnet, dass zur Funktionsprüfung aus dem digitalen Signal, das aus dem vorgegeben analogen Signal gewandelt wurde, die zur Wandlung verwendete Referenzspannung ermittelt wird und die ermittelte, zur Wandlung

verwendete Referenzspannung mit wenigstens einer vorgegebenen Referenzspannung verglichen wird.

5. Verfahren nach Anspruch 1 oder 2 oder 3, dadurch gekennzeichnet, dass zur Funktionsprüfung das aus dem vorgegebenen analogen Signal gewandelte digitale Signal mit wenigstens einem erwarteten digitalen Signal verglichen wird.
6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass abhängig von dem Vergleich der ermittelten Referenzspannung mit der wenigstens einen vorgegebenen Referenzspannung auf Fehler erkannt wird und eine vorgegebene Fehlerreaktion erfolgt, wobei die Fehlerreaktion insbesondere abhängig von der ermittelten Referenzspannung ist.
7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass abhängig von dem Vergleich des aus dem vorgegebenen analogen Signal gewandelten digitalen Signals mit dem wenigstens einen erwarteten digitalen Signal auf Fehler erkannt wird und eine vorgegebene Fehlerreaktion erfolgt, wobei die Fehlerreaktion insbesondere abhängig von dem, aus dem vorgegebenen analogen Signal gewandelten digitalen Signal ist.
8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass eine Fehlerreaktion erfolgt wenn bei dem Vergleich keine Übereinstimmung innerhalb einer vorgebbaren Toleranz erzielt wird.
9. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass eine Fehlerreaktion erfolgt wenn bei dem Vergleich Übereinstimmung innerhalb einer vorgebbaren Toleranz erzielt wird.
10. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass dem Analog-Digital-Wandler wenigstens zwei analoge Signale zur Wandlung zuführbar sind und wenigstens einem der wenigstens zwei analogen Signale nur genau eine Referenzspannung zur Wandlung zugeordnet wird.
11. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass wenigstens ein erstes analoges Signal als eine erste Gruppe von ersten Signalen gewandelt wird, welchen nur genau eine Referenzspannung zur Wandlung zugeordnet ist und wenigstens ein zweites analoges Signal als eine zweite Gruppe von zweiten Signalen gewandelt wird, welchem wenigstens zwei

Referenzspannungen zur Wandlung zuordenbar sind.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die erste Gruppe von ersten analogen Signalen einem ersten Analog-Digital-Wandler (ADC1) und die zweite Gruppe von zweiten analogen Signalen einem zweiten Analog-Digital-Wandler (ADC2) zugeordnet wird.
13. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Funktionsprüfung an einem vorgegebenen analogen Testsignal durchgeführt wird.
14. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Funktionsprüfung ausschließlich an einem vorgegebenen analogen Testsignal durchgeführt wird.
15. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Analog-Digital-Wandler in zwei Modi betrieben werden kann, wobei ein erster Modus die Verwendung verschiedener Referenzspannungen zur Wandlung gestattet und ein zweiter Modus nur eine Referenzspannung zur Wandlung zulässt.
16. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass wenigstens zwei Werte für verschiedene Referenzspannungen in einer Tabelle in einem Speicher abgelegt sind und durch Auswahl eines Wertes eine Referenzspannung zur Verwendung bei der Wandlung vorgegeben wird.
17. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die Funktionsprüfung nur für die erste Gruppe der ersten analogen Signale durchgeführt wird.
18. Vorrichtung mit einem Analog-Digital-Wandler zur Funktionsprüfung des Analog-Digital-Wandlers, wobei der Analog-Digital-Wandler eine Funktion zur Wandlung wenigstens eines analogen Signals in wenigstens ein digitales Signal unter Verwendung einer ersten vorgegebenen Referenzspannung durchführt dadurch gekennzeichnet, dass der Analog-Digital-Wandler die Funktion alternativ unter Verwendung wenigstens einer weiteren, insbesondere einer vorgegebenen zweiten, Referenzspannung, durchführen kann, wobei erste Mittel enthalten sind, die den Analog-Digital-Wandler derart sperren, dass eine Verwendung wenigstens der weiteren, insbesondere der zweiten, Referenzspannung durch den Analog-Digital-Wandler verhindert wird, wobei zur Funktionsprüfung ein vorgegebenes analoges Signal in ein digitales Signal gewandelt wird und zweite Mittel enthalten sind, die das durch die Wandlung

entstandene digitale Signal auswerten.

19. Analog-Digital-Wandler mit Mitteln zur Funktionsprüfung desselben, wobei der Analog-Digital-Wandler eine Funktion zur Wandlung wenigstens eines analogen Signals in wenigstens ein digitales Signal unter Verwendung einer ersten vorgegebenen Referenzspannung durchführt dadurch gekennzeichnet, dass der Analog-Digital-Wandler die Funktion alternativ unter Verwendung wenigstens einer weiteren, insbesondere einer vorgegebenen zweiten, Referenzspannung, durchführen kann, wobei erste Mittel enthalten sind, die den Analog-Digital-Wandler derart sperren, dass eine Verwendung wenigstens der weiteren, insbesondere der zweiten, Referenzspannung durch den Analog-Digital-Wandler verhindert wird, wobei zur Funktionsprüfung ein vorgegebenes analoges Signal in ein digitales Signal gewandelt wird und zweite Mittel enthalten sind, die das durch die Wandlung entstandene digitale Signal auswerten.

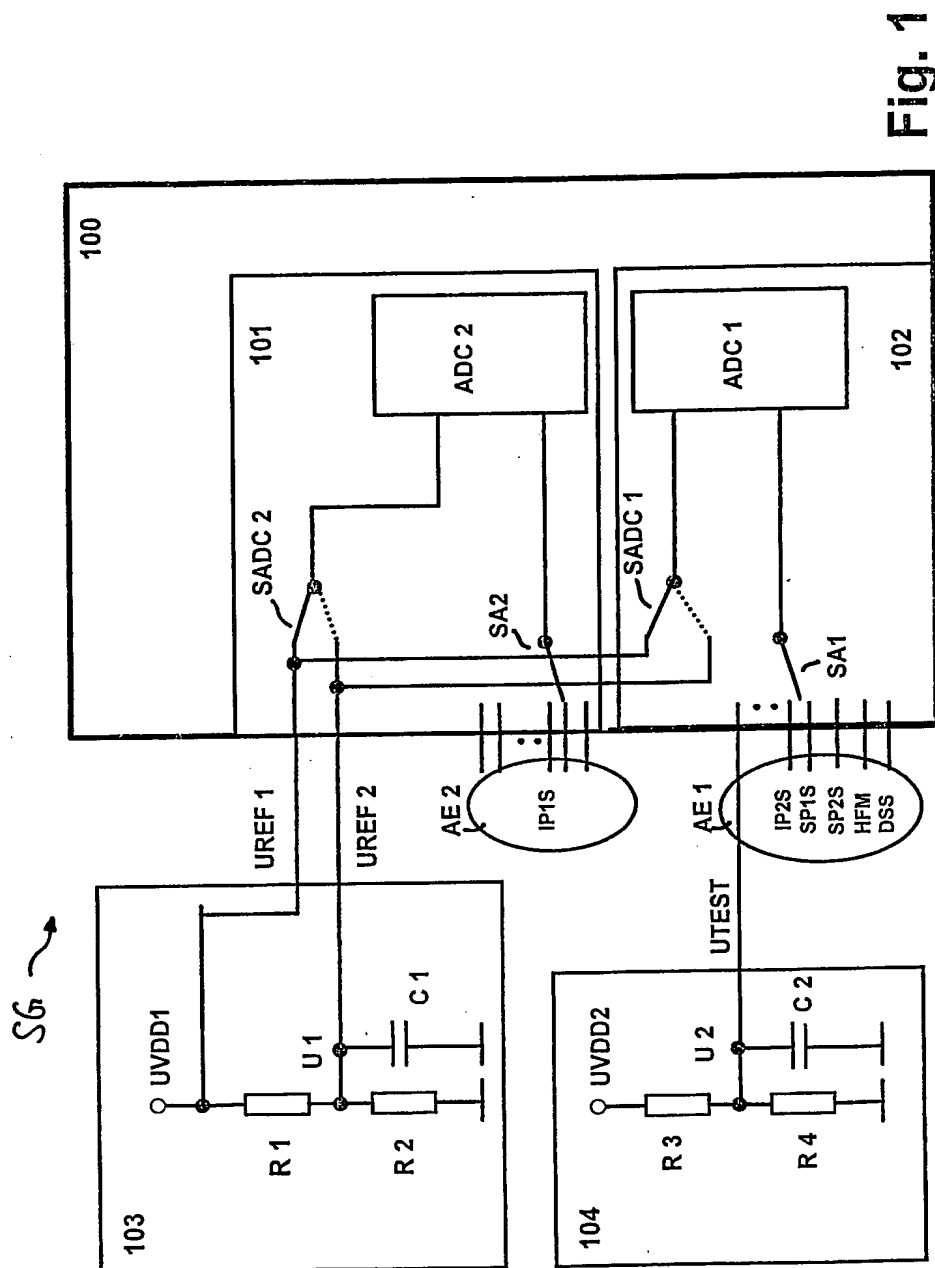


Fig. 1

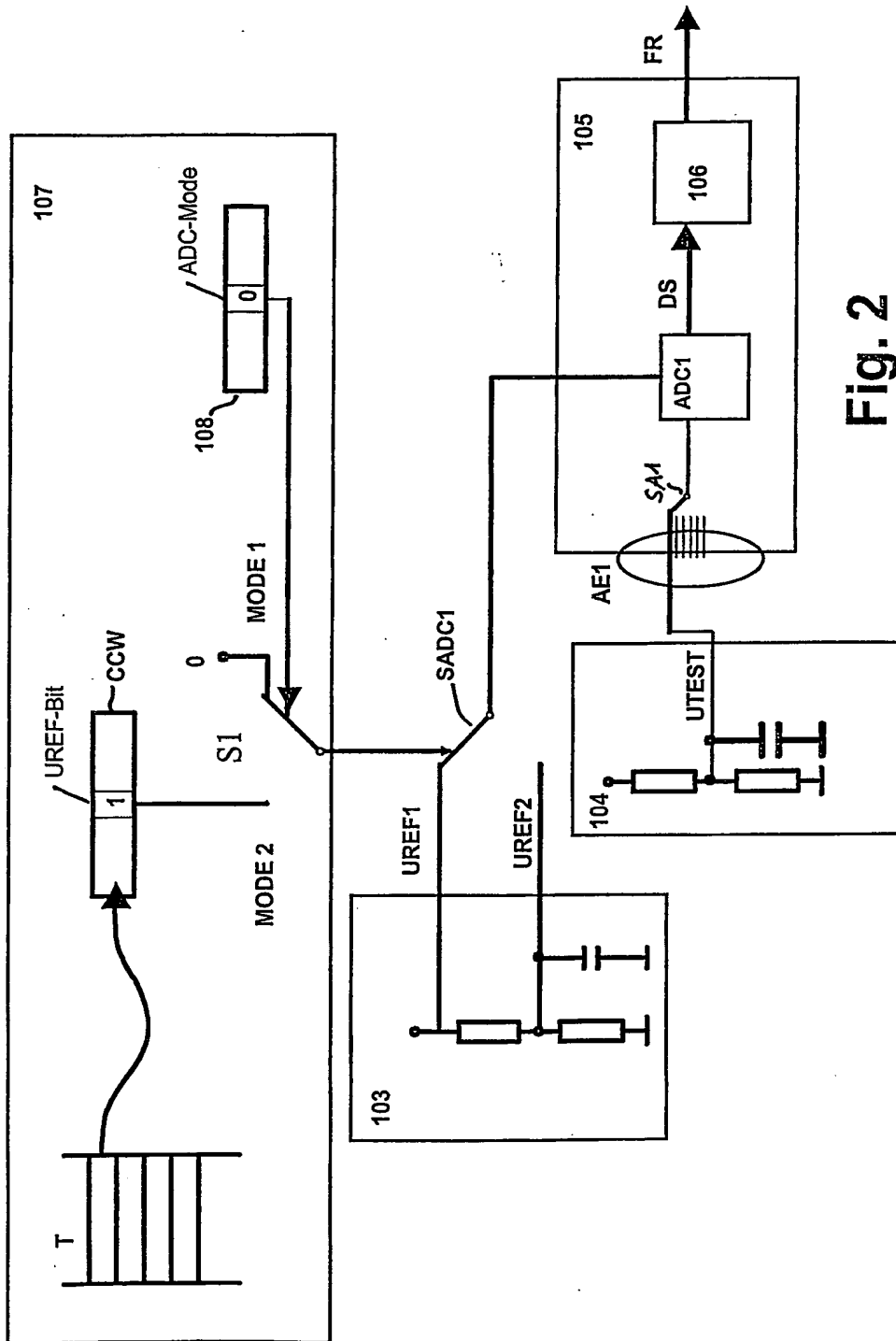
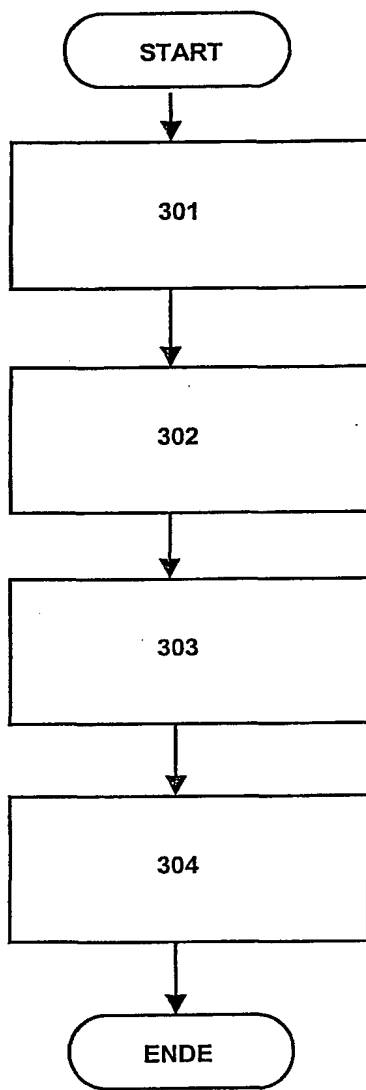


Fig. 2

**Fig. 3**

INTERNATIONAL SEARCH REPORT

Application No

PCT/DE 03/01081

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 02 15404 A (MICROCHIP TECH INC) 21 February 2002 (2002-02-21) page 21, paragraph 2; figure 10 page 35, paragraph 2	1-19
Y	WO 96 31690 A (BOSCH GMBH ROBERT ;BEDERNA FRANK (DE); HAAG WOLFGANG (DE); MUELLER) 10 October 1996 (1996-10-10) abstract; figures 1,6	1-19
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 194 (E-0919), 20 April 1990 (1990-04-20) - & JP 02 041029 A (NEC CORP), 9 February 1990 (1990-02-09) abstract; figure 3	1-19
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

4 August 2003

Date of mailing of the international search report

11/08/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Gerdes, R

INTERNATIONAL SEARCH REPORT

Application No
PCT/DE 03/01081

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01 10031 A (BARRENSCHEEN JENS ; FENZL GUNTHER (DE); KOENIG DIETMAR (DE); INFINE) 8 February 2001 (2001-02-08) abstract	1-19
A	EP 0 474 024 A (MOTOROLA INC) 11 March 1992 (1992-03-11) page 10, line 45-55 page 19, line 29-31	1-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

Application No
PCT/DE 03/01081

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
WO 0215404	A	21-02-2002	US	6559783 B1	06-05-2003
			WO	0215404 A2	21-02-2002
WO 9631690	A	10-10-1996	DE	19513081 A1	10-10-1996
			WO	9631690 A1	10-10-1996
			EP	0764239 A1	26-03-1997
			JP	10501599 T	10-02-1998
			US	5995885 A	30-11-1999
JP 02041029	A	09-02-1990	NONE		
WO 0110031	A	08-02-2001	DE	19936329 A1	08-03-2001
			WO	0110031 A2	08-02-2001
EP 0474024	A	11-03-1992	DE	69126386 D1	10-07-1997
			DE	69126386 T2	18-12-1997
			EP	0474024 A2	11-03-1992
			HK	1007222 A1	01-04-1999
			JP	3262569 B2	04-03-2002
			JP	6149479 A	27-05-1994
			KR	185727 B1	15-04-1999
			US	5166685 A	24-11-1992

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03M1/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data, INSPEC
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 02 15404 A (MICROCHIP TECH INC) 21. Februar 2002 (2002-02-21) Seite 21, Absatz 2; Abbildung 10 Seite 35, Absatz 2	1-19
Y	WO 96 31690 A (BOSCH GMBH ROBERT ;BEDERNA FRANK (DE); HAAG WOLFGANG (DE); MUELLER) 10. Oktober 1996 (1996-10-10) Zusammenfassung; Abbildungen 1,6	1-19
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 194 (E-0919), 20. April 1990 (1990-04-20) -& JP 02 041029 A (NEC CORP), 9. Februar 1990 (1990-02-09) Zusammenfassung; Abbildung 3	1-19
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

*& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

4. August 2003

Absendedatum des internationalen Recherchenberichts

11/08/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gerdes, R

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 01 10031 A (BARRENSCHEEN JENS ;FENZL GUNTHER (DE); KOENIG DIETMAR (DE); INFINE) 8. Februar 2001 (2001-02-08) Zusammenfassung -----	1-19
A	EP 0 474 024 A (MOTOROLA INC) 11. März 1992 (1992-03-11) Seite 10, Zeile 45-55 Seite 19, Zeile 29-31 -----	1-19

INTERNATIONALER RESEARCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationaler Aktenzeichen

PCT/DE 03/01081

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 0215404	A	21-02-2002	US	6559783 B1	06-05-2003
			WO	0215404 A2	21-02-2002
WO 9631690	A	10-10-1996	DE	19513081 A1	10-10-1996
			WO	9631690 A1	10-10-1996
			EP	0764239 A1	26-03-1997
			JP	10501599 T	10-02-1998
			US	5995885 A	30-11-1999
JP 02041029	A	09-02-1990	KEINE		
WO 0110031	A	08-02-2001	DE	19936329 A1	08-03-2001
			WO	0110031 A2	08-02-2001
EP 0474024	A	11-03-1992	DE	69126386 D1	10-07-1997
			DE	69126386 T2	18-12-1997
			EP	0474024 A2	11-03-1992
			HK	1007222 A1	01-04-1999
			JP	3262569 B2	04-03-2002
			JP	6149479 A	27-05-1994
			KR	185727 B1	15-04-1999
			US	5166685 A	24-11-1992